

## **PENSKALAAN GET DIELEKTRIK BAGI TEKNOLOGI 0.18 $\mu\text{m}$ CMOS**

Shafinaz Sobihana bt Shariffudin, Ibrahim Ahmad & Burhanuddin Yeop Majlis

*Jabatan Kejuruteraan Elektrik, Elektronik & Sistem, Fakulti Kejuruteraan, Universiti  
Kebangsaan Malaysia, Bangi.*

[shafinaz@unisel.edu.my](mailto:shafinaz@unisel.edu.my), [ibrahim@vlsi.eng.ukm.my](mailto:ibrahim@vlsi.eng.ukm.my), [burhanuddin@vlsi.eng.ukm.my](mailto:burhanuddin@vlsi.eng.ukm.my)

### **ABSTRAK**

Peranti CMOS dengan saiz salur 0.18 $\mu\text{m}$  direkabentuk berdasarkan transistor CMOS dengan saiz salur 0.35 $\mu\text{m}$  yang telah direkabentuk dan difabrikasikan dengan cara yang sama sebelum ini. Beberapa parameter penting yang harus ditekankan semasa proses penskalaan adalah saiz salur, ketebalan oksida get, implantasi ion bagi pembetulan voltan ambang serta parameter-parameter yang berkaitan. Proses fabrikasi MOS ini dijalankan secara simulasi menggunakan satu perisian yang dikeluarkan oleh syarikat Silvaco Inc. iaitu Virtual Wafer Fabrication (VWF) Silvaco TCAD Tools. MOS jenis-n dan MOS jenis-p disimulasikan secara berasingan bagi memudahkan dan memendekkan tempoh simulasi tersebut. Dua bahagian utama daripada perisian ini akan digunakan iaitu Athena bagi memfabrikasikan peranti yang dikehendaki secara simulasi, dan Atlas bagi mensimulasikan ciri-ciri peranti tersebut. Hasil simulasi adalah seperti berikut; voltan ambang bagi nMOS adalah 0.5V manakala bagi pMOS ialah 0.85V. Ciri-ciri penting yang lain adalah kedalaman simpang  $X_j$  bagi nMOS ialah 0.21 $\mu\text{m}$  dan bagi pMOS ialah 0.12  $\mu\text{m}$ . Nilai rintangan helaian bagi polisilikon adalah 5.7 ohm/segi dan 2.2 ohm/segi masing –masing bagi nMOS dan pMOS. Kesimpulannya ialah hasil simulasi pemprosesan bagi get skala sangat menghampiri nilai sebenar bagi voltan ambang yang terletak dalam julat 0.4 hingga 0.6V.

### **PENGENALAN**

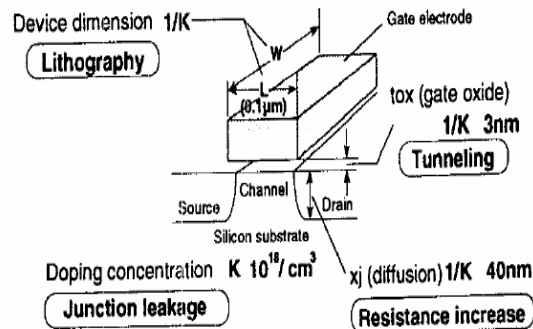
Sejak penemuan transistor 50 tahun yang lalu, dunia telah menyaksikan perubahan yang dramatik dalam industri mikroelektronik. Teknologi fabrikasi VLSI (very large scale integration) merupakan salah satu bidang utama yang menggerakkan industri semikonduktor dalam dunia mikroelektronik masa kini. Silikon LSI telah berkembang dengan maju semenjak 25 tahun kebelakangan ini dimana jumlah transistor pada suatu litar LSI telah bertambah dengan  $10^4$ - $10^5$  berbanding sebelumnya. Ini adalah bertepatan dengan ramalan yang telah dikeluarkan oleh Gordon Moore, pengerusi Intel 30 tahun lalu dimana ia telah dikenali sebagai Moore's law [13].

Di dalam kajian ini, sebuah CMOS dengan panjang salur berkesan 0.18 $\mu\text{m}$  telah direkabentuk menggunakan peraturan penskalaan tetap. Ia diubah suai berdasarkan rekabentuk CMOS bersaiz 0.35 $\mu\text{m}$  [10]. Transistor CMOS tersebut difabrikasikan secara simulasi menggunakan sebuah perisian canggih dinamakan Virtual Wafer Fabrication keluaran Silvaco Inc. Rekabentuk transistor ini dibahagikan kepada dua bahagian iaitu bahagian rekabentuk MOS jenis-n dan rekabentuk MOS jenis-p.

### KAEDAH PENSKALAN IDEAL

Bagi mengatasi kesan salur pendek serta mengekalkan sifat fizik MOSFET, suatu kaedah penskalaan telah diperkenalkan oleh Dennard et al [3]. Berdasarkan sifat fizik MOSFET, hubungan I-V bagi sesuatu MOSFET seperti berikut dapat dikekalkan dengan menskalakan dimensi dengan faktor umum  $s$  apabila  $s > 1$ .

Secara umumnya terdapat dua kaedah penskalaan, iaitu penskalaan medan tetap atau lebih dikenali sebagai penskalaan penuh dan penskalaan voltan tetap [1]. Penskalaan penuh merupakan kaedah yang lebih mudah diaplikasikan kerana ia melibatkan pengurangan saiz bagi keseluruhan dimensi. Realitinya, pengeluar litar bersepadu tidak menggunakan kaedah penskalaan penuh, sebaliknya lebih gemar menggunakan kaedah penskalaan voltan tetap. Ini adalah kerana penskalaan penuh memerlukan pengurangan dari segi voltan terminal selain daripada pengurangan saiznya. Oleh kerana sebab-sebab yang praktikal, industri ini telah menetapkan bahawa voltan terminal harus dikekalkan pada tahap 5 V (walaubagaimanapun, apabila saiz transistor ini berkurang sehingga saiz  $0.25 \mu\text{m}$ , adalah perlu untuk mengurangkan jumlah voltan kerana medan elektrik yang terlalu besar boleh merosakkan peranti tersebut) [15]. Selain itu, arus sub-ambang perlu dikurangkan sebanyak mungkin yang mana ini tidak dapat dicapai melalui kaedah penskalaan penuh. Jadual 1 menunjukkan kedua-dua kaedah penskalaan medan tetap dan kaedah penskalaan voltan tetap.



Gambarajah 1. Had penskalaan bagi suatu transistor MOSFET (sumber: Iwai, H. Momose, H. S., & Katsumata, Y. 1995)

Jadual 1. Penskalaan Ideal (sumber: Chen, J. Y. 1990)

Parameter	Penskalaan Medan Tetap (Penskalaan Penuh)	Penskalaan Voltan Tetap
Dimensi $t_{ox}$ , $L$ , $W$ , $x_j$	1/s	1/s
$V_{DD}$	1/s	1
Medan	1	s
$V_T$	1/s	1
Arus	1/s	s
Kapasitans	1/s	1/s
Masa langkah	1/s	1/s <sup>2</sup>
Kuasa/litar	1/s <sup>2</sup>	s
Kuasa x langkah	1/s <sup>3</sup>	1/s
Kuasa/kawasan	1	1/s <sup>3</sup>
Rintangan garis	s	s
RC	1	1
IR/ $V_{DD}$	s	S <sup>2</sup>

### REKABENTUK CMOS SUBMIKRON

Bagi mengatasi masalah yang disebabkan oleh pembawa panas akibat saiz salur yang kecil, cara yang paling berkesan adalah dengan mengurangkan medan tinggi dengan mengubah profil dopan yang berhampiran dengan salir [1]. Mengurangkan ketumpatan dopan pada keseluruhan kawasan punca/salir adalah tidak munasabah kerana rintangan sesiri akan menjadi terlalu tinggi, dan akan menyebabkan penurunan prestasi peranti tersebut. Oleh itu beberapa kaedah boleh dilakukan bagi mengatasi masalah ini.

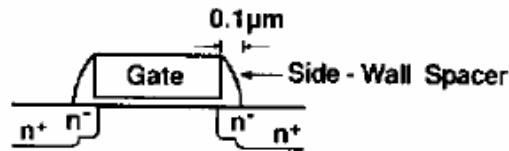
#### i. Salir Serapan-Berganda

Salir serapan-berganda (double-diffused drain, DDD) dibentuk menggunakan implan dua jenis penderma. Bagi MOSFET jenis-n, atom fosforus dan arsenik diimplan pada kawasan punca/salir yang kemudiannya diserap. Oleh kerana atom fosforus menyerap lebih cepat daripada arsenik, simpangan bergred dibentuk dengan mudah. Struktur DDD ini walaupun mudah diimplementasi, ia memberikan simpang yang lebih dalam, serta meningkatkan kapasitans bertindih.

#### ii. Salir Dopan-Rendah

Salir dopan-rendah (lightly-doped drain, LDD) merupakan satu alternatif kepada MOSFET yang bersaiz lebih kecil daripada 1 $\mu$ m. Ini adalah kerana struktur DDD hanya berkesan mengurangkan kesan pembawa panas bagi MOSFET dengan salur yang bersaiz diantara 1.5~2.0 $\mu$ m. Jika DDD digunakan pada MOSFET yang lebih kecil maka kesan salur pendek serta kapasitans bertindih akan berlaku. LDD menggunakan dopan rendah yang diimplankan

diantara kawasan salir dan punca  $n^+$ . Proses yang terlibat adalah lebih rumit berbanding DDD.



Gambarajah 2. Kawasan LDD pada MOSFET.  
(sumber: Hu, C. 1995)

Gambarajah 2 menunjukkan suatu struktur MOSFET yang menggunakan LDD. Perhatikan bahawa kepekatan dopan bagi LDD adalah lebih kecil daripada kepekatan dopan pada kawasan sumber dan salir. Peruang sisi dibina bagi melindungi kawasan LDD semasa proses mengimplan ion bagi sumber dan salir. Proses pembentukan DDD adalah lebih mudah dan kurang berlakunya penurunan transkonduktans, tetapi struktur LDD memberikan kesan salur-pendek yang lebih kecil. Kawasan yang didopkan dengan rendah pada LDD dibentuk oleh lebar peruang yang membolehkan saiz salur yang lebih kecil dapat difabrikasikan. Selain daripada itu, oksida get, bahan peruang, dan keadaan penyepuhlindung turut mengurangkan kesan pembawa panas.

### iii. Get Silikon Nitrid/Oksida

Sepertimana yang telah diterangkan sebelum ini, timbul beberapa masalah yang diakibatkan oleh kesan salur pendek. Peraturan penskalaan telah menyatakan bahawa diantara parameter yang perlu diskalakan adalah ketebalan get oksida. Menurut peraturan Brew, ketebalan get oksida sangat mempengaruhi panjang get minimum dimana seperti yang dinyatakan dalam persamaan,

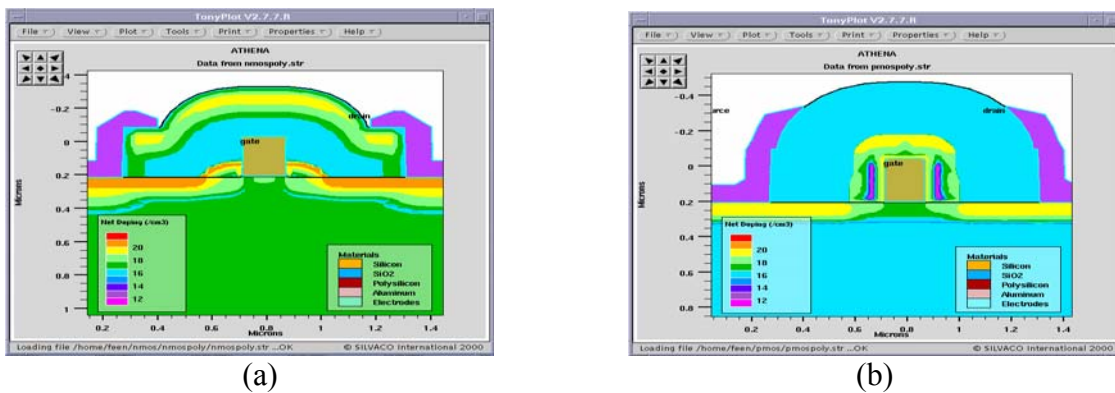
$$L_{min} = 0.4[x_j * t_{ox} (W_d + W_s)^2]^{1/3}$$

Apabila ketebalan get oksida menjadi kurang daripada  $10\text{\AA}$ , ini akan menghadkan penggunaan silikon dioksida sebagai get oksida kerana dengan ketebalan itu, kekisi yang wujud adalah kurang daripada empat atom  $\text{SiO}_2$ . Ini merupakan faktor pengehad fizikal bagi penggunaannya dalam proses fabrikasi peranti semikonduktor terutamanya transistor MOSFET. Oleh itu suatu solusi lain perlu dicari bagi menggantikan silikon dioksida. Menurut pakar industri, silikon atau silikon dioksida perlu diganti menjelang 2012 [8].

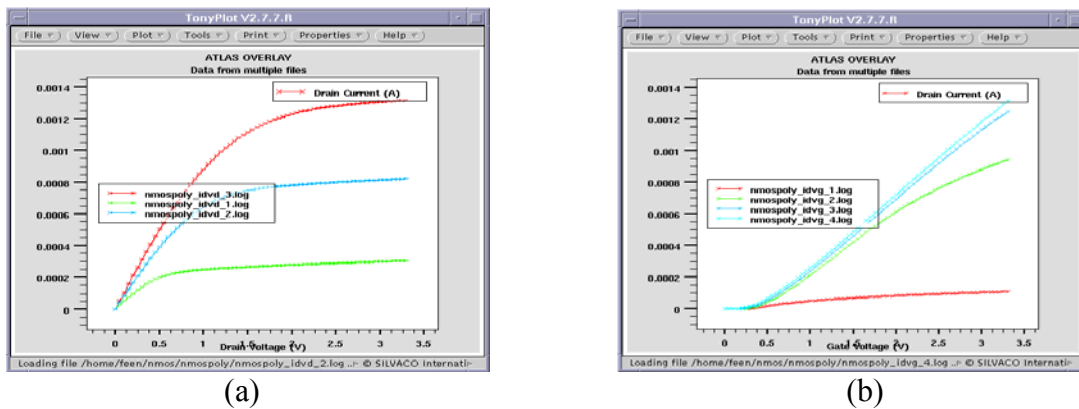
Penggunaan get dielektrik nitrid/oksida (N/O) merupakan salah satu kaedah yang boleh digunakan bagi menggantikan bahan silikon dioksida. Ia sangat sesuai digunakan sebagai lapisan nipis get oksida kerana kelebihanannya berbanding silikon dioksida. Ia bertindak sebagai penghalang semasa proses pengedopan boron serta ia menghasilkan arus terowongan yang lebih kecil bagi kawasan terowongan terus. Selain itu, nitrid/oksida memperbaiki karakter permukaan dan imuniti degradasi pembawa panas. Oleh itu, penggunaan nitrid/oksida adalah lebih baik kerana ia dapat memperbaiki prestasi transistor MOSFET dalam penggunaan lapisan get oksida yang sangat nipis.

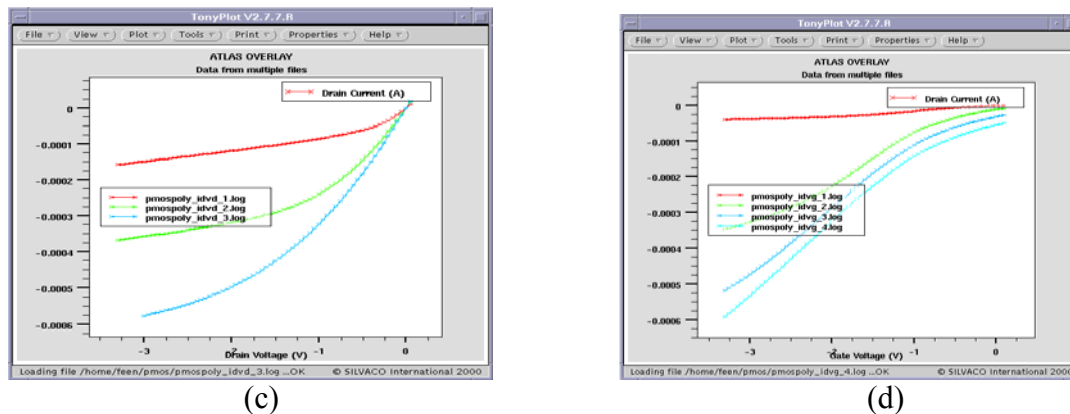
### REKABENTUK CMOS 0.18 $\mu\text{m}$

Dalam kajian ini, suatu transistor CMOS bersaiz 0.18 $\mu\text{m}$  direkabentuk dan disimulasikan menggunakan perisian Silvaco Virtual Wafer Fabrication TCAD Tools. Rekabentuk CMOS submikron adalah berbeza sedikit daripada transistor CMOS yang biasa. Di sini struktur LDD akan digunakan bagi mengurangkan kesan salur pendek. Proses fabrikasi secara simulasi dibahagikan kepada dua bahagian iaitu simulasi MOS jenis-n dan MOS jenis-p bagi memendekkan tempoh simulasi tersebut. Athena digunakan sebagai simulator bagi proses fabrikasi transistor manakala Atlas pula bertanggungjawab bagi mencirikan sifat elektrik bagi peranti tersebut [14]. Tonyplot bertanggungjawab untuk memplot keputusan bagi simulasi yang telah dijalankan. Gambarajah-gambarajah berikut menunjukkan hasil simulasi yang dipaparkan oleh Tonyplot.



Gambarajah 3. Hasil simulasi (a) Transistor nMOs (b) Transistor pMOS





Gambarajah 4. Ciri elektrik (a) Hubungan Id-Vd nMOS (b) Hubungan Id-Vg nMOS (c) Hubungan Id-Vd pMOS (d) Hubungan Id-Vg nMOS

Daripada gambarajah 4 dapat dilihat bahawa rekabentuk CMOS dengan saiz salur  $0.18\mu\text{m}$  dapat direkabentuk dimana voltan ambang bagi nMOS adalah  $0.507118\text{V}$  dan pMOS adalah  $0.85690\text{V}$ .

### KESIMPULAN

Rekabentuk kedua-dua jenis MOSFET tersebut adalah berdasarkan peraturan penskalaan dimana saiz salurnya dikecilkan daripada  $0.35\mu\text{m}$  kepada saiz  $0.18\mu\text{m}$ . Ini adalah bertujuan untuk mendapatkan transistor yang lebih kecil dengan prestasi yang lebih baik. Beberapa parameter penting yang diskalakan adalah saiz salur, ketebalan oksida get, kepekatan dopan bagi tujuan pembetulan voltan ambang, serta ketebalan lapisan oksida-oksida yang lain. Dengan itu suatu transistor dengan ciri-ciri elektrik yang baik dapat direkabentuk.

Simulasi fabrikasi transistor telah menggunakan simulator Athena dan Tonyplot digunakan bagi melihat paparan hasil daripada simulasi tersebut. Perisian ini merupakan sautu perisian yang bijak kerana ia dapat memaparkan peranti tersebut secara dua dimensi serta dapat memaparkan parameter-parameter yang dikehendaki seperti yang telah diarahkan. Manakala Atlas pula digunakan sebagai simulator bagi menguji prestasi CMOS tersebut dengan memberikan ciri arus-voltan Id-Vd dan Id-Vg serta nilai voltan ambang seperti yang ditunjukkan dalam keputusan hasil simulasi. Voltan ambang bagi nMOS tersebut adalah  $0.507118\text{V}$  manakala bagi pMOS pula adalah  $0.85690\text{V}$  dimana ia merupakan suatu pencapaian yang agak baik jika dibandingkan dengan nilai voltan ambang bagi industri sekarang  $0.4\text{V}$  dan  $0.6\text{V}$  [7].

**RUJUKAN-RUJUKAN**

- [1] Chen, J. Y. 1990. *CMOS Devices and Technology for VLSI*. Singapore: Prentice Hall.
- [2] Dennard R.H, Gaensslen F. H., Yu H. N. Rideout V. L., Bassous E., and LeBlanc E. 1974. Design of ion implanted MOSFET with very small physical dimension. *IEEE J. Solid State Circuits*. (SC-9):256
- [3] Fuller, L., Bhashkaran, S. & Puchades, I. 2001. *RIT's Advanced CMOS Processes (1.0 $\mu$ m and 0.5 $\mu$ m)*. Rochester Institute of Technology.
- [4] Hu, C. 1995. Future CMOS Scaling and Reliability. *Proceedings of the IEEE*. **81**(5): 682-689
- [5] Iwai, H. 1997. Silicon MOSFET Scaling Beyond 0.1 Micron. *International Conference on Microelectronics*. **1**: 11-18.
- [6] Iwai, H. Momose, H. S., & Katsumata, Y. 1995. Si-MOSFET Scaling Down to Deep-sub-0.1 $\mu$ m Range and Future of Silicon LSI. *Proceedings of Technical Papers*: 262-267
- [7] Iwai, H. & Ohmi, S. 2000. Problem and Solutions for Downsizing CMOS Below 0.1  $\mu$ m. *ICSE Proceeding 2000*: 1-19.
- [8] Jakonis, D. (tanpa tarikh). MOSFET Scaling and Deep Submicron Effects. *Semiconductor Technology*. (atas talian) <http://www.ifm.liu.se/courses/tffy34/tutorial3.pdf> (12 Mac 2003).
- [9] Kang, S.M. & Leblebici, Y. 1999. *CMOS Digital Integrated Circuits – Analysis and Design*. McGraw Hill.
- [10] Mohd Rofei Mat Hussin. 2000. Rekabentuk Transistor dan Simulasi Kepada Pembangunan Teknologi CMOS 0.35 $\mu$ m. *Latihan Ilmiah*. Bangi: Universiti Kebangsaan Malaysia.
- [11] Odanaka, S. & Hiroki, A. 1997. Potential Design and Transport Property of 0.1  $\mu$ m MOSFET with Asymmetric Channel Profile. *IEEE Transactions On Electron Devices*, **44** (4).
- [12] Pucknell, D. A. & Eshraghian K. 1994. *Basic VLSI Design*. Third Edition. Australia: Prentice Hall.
- [13] Sze, S. M. 2002. *Semiconductor Devices Physics and Technology*. Second Edition. AS: John Wiley & Sons.
- [14] Silvaco. 1999. *TCAD Tutorial and Examples Manual Volume I*. Santa Clara.
- [15] Yuwen, W. (tanpa tarikh). Predictive Technology Modeling for Deep-Submicron MOSFET Design. (atas talian) <http://www.ntu.edu.sg/eee/eeeb/LectureNotes/Thesis/Presen-Ywang.pdf> (12 Mac 2003).