

FABRIKASI DAN PENCIRIAN pMOS 0.25 μ m DENGAN STRUKTUR PERUANG-POLISILIKON

Siti Nooraya Mohd.Tawil, Ibrahim Ahmad dan Burhanuddin Yeop Majlis

*Dept. Of Electrical, Electronics & System Engineering,
Faculty of Engineering, Universiti Kebangsaan Malaysia,
UKM Bangi 43600, Selangor, Malaysia,*

Email: nooraya@kuittho.edu.my / ibrahim@eng.ukm.my

ABSTRAK

Kajian ini dijalankan adalah bertujuan untuk merekabentuk dan memfabrikasi suatu transistor pMOS (MOSFET saluran-p) dengan struktur peruang-poli yang mempunyai panjang salur 0.25 μ m bagi mendapatkan ciri elektrik yang lebih baik berbanding rekabentuk pMOS dengan struktur LDD (*Lightly Doped Drain*). Dua komponen utama perisian ini iaitu ATHENA dan ATLAS masing-masing digunakan untuk menjalankan simulasi proses dan juga simulasi peranti yang bertujuan untuk mendapatkan ciri-ciri elektrik peranti yang direkabentuk. Rekabentuk pMOS peruang-polisilikon yang dihasilkan adalah berdasarkan kepada rekabentuk PMOS 0.25 μ m dengan struktur LDD yang telah direkabentuk dan difabrikasi dengan kaedah yang sama sebelum ini. Proses merekabentuk dibahagikan kepada empat varian iaitu varian 1, 2, 3 dan 4. Varian 1 dan 2 masing-masing adalah mewakili rekabentuk pMOS peruang-poli yang menggunakan teknik penyahlindungan (*annealing*) relau konvensional dan penyahlindungan terma pantas (RTP) untuk proses resapan SOD (*Spin On-Dopant*) dalam pembentukan kawasan sumber dan salir masing-masing. Manakala varian 3 dan 4 pula mewakili rekabentuk yang menggunakan teknik implantasi ion dopan untuk membentuk sumber dan salir yang juga secara penyahlindungan relau konvensional dan terma pantas masing-masing. Kajian lebih tertumpu kepada simulasi yang dijalankan ke atas varian 1 dan 2. Hasil daripada simulasi tersebut, didapati nilai voltan ambang bagi pMOS varian 1 ialah 0.742V manakala pMOS varian 2 pula adalah 0.725V. Sebagai kesimpulan rekabentuk pMOS bersruktur peruang poli lebih baik prestasinya di samping proses fabrikasinya yang lebih mudah berbanding dengan pMOS berstruktur LDD.

PENGENALAN

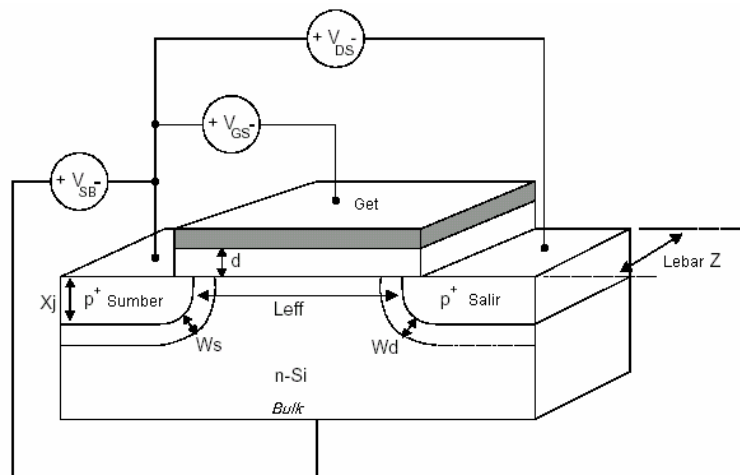
Transistor kesan medan semikonduktor oksida logam atau lebih dikenali dengan nama MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) telah muncul sebagai antara peranti utama dalam perkembangan teknologi litar terkamir terutamanya dalam mikropemproses dan semikonduktor memori sejak tiga dekad yang lalu. Prinsip transistor kesan medan permukaan telah mula dikemukakan oleh Lilienfeld dan Heil pada awal tahun 30-an [6]. MOSFET yang pertama telah dihasilkan dengan struktur silikon teroksida secara terma oleh Kahng dan Atalla pada tahun 1960. Semenjak dari itu, peranti MOSFET telah mengalami perubahan dan perkembangan secara berterusan sehingga muncul sebagai salah satu peranti utama dalam merealisasikan ULSI (>10⁷ transistor atas cip). Jika dibandingkan

dengan transistor dwikutub atau BJT, MOSFET adalah lebih kecil di samping ia mempunyai kelebihan dari segi rekabentuk strukturnya yang lebih mudah dihasilkan bertepatan dengan kehendak teknologi ULSI masa kini.

Pada umumnya transistor MOS boleh dibahagikan kepada dua jenis utama, iaitu MOSFET saluran-n (nMOS) dan MOSFET saluran-p (pMOS). Kedua-dua transistor nMOS dan pMOS ini mempunyai operasi yang sama seperti transistor dwikutub BJT. Akan tetapi, terdapat perbezaan daripada aliran arus di mana transistor MOS hanya melibatkan pembawa cas majoriti sahaja iaitu pembawa elektron bagi nMOS dan pembawa lubang bagi pMOS. Dengan demikian, ini menunjukkan bahawa transistor MOS merupakan peranti pembawa tunggal di mana tidak akan wujud sampingan cas di dalam peranti MOSFET [5].

Transistor MOSFET Saluran-p

Binaan struktur asas suatu transistor MOSFET saluran-p ditunjukkan seperti dalam Rajah 1. Ia mengandungi empat elektrod dan terdiri daripada semikonduktor pukal jenis-n di mana dua kawasan p^+ yang dipanggil sebagai sumber dan salir dibentuk. Logam, polisilikon yang didopkan lebat atau silisida telah digunakan sebagai bahan untuk get pada bahagian atas lapisan atas penebat. Pada masa ini, polisilikon merupakan bahan piawai untuk pembentukan get. Parameter-parameter utama bagi sebuah MOSFET ialah panjang get berkesan L_{eff} , lebar get Z , ketebalan oksida get d , dan kedalaman simpang sumber/salir X_j .



Rajah 1. Rajah skematik MOSFET saluran-p

Dengan merujuk kepada Rajah 1, pada keadaan tiada voltan kawalan get, V_G dibekalkan, saluran yang terletak di bawah lapisan oksida nipis tidak akan terbentuk, dan ini menyebabkan tidak berlaku pengaliran arus oleh sebab tiada pergerakan di antara sumber dengan salir [3]. Walaupun demikian. Sekiranya get transistor ini dihubungkan dengan suatu voltan positif yang melebihi voltan ambang, V_t yang bernilai lebih kurang 0.7V terhadap sumber, medan elektrik akan terbentuk di antara get dengan substrat. Medan ini akan menyebabkan berlakunya penyongsangan cas dalam kawasan antara muka di antara lapisan oksida dengan silikon dalam saluran. Oleh itu, suatu saluran yang membenarkan pergerakan

arus dari sumber ke salir akan terbentuk. Berdasarkan penerangan di atas, ciri-ciri pengoperasian transistor MOS boleh diringkaskan seperti berikut:

- i. Voltan sebesar V_t mestilah dibekalkan pada get supaya saluran terbentuk.
- ii. Voltan V_{DS} ialah voltan yang dibekalkan di antara sumber dan salir. Susut voltan (IR) akan berlaku di sepanjang saluran dengan voltan pada sumber adalah maksimum. Pada masa yang sama voltan get, V_G juga dibekalkan. Jika $V_{GS} - V_t \gg V_{DS}$. Kekutuban pembawa dalam saluran akan disongsangkan.
- iii. Apabila $V_{DS} > V_{GS} - V_t$ (V_{DS} besar), susut voltan juga berlaku berhampiran dengan salir. Oleh itu, tidak wujud medan elektrik yang boleh menyongsangkan lapisan, dan seterusnya luas kawasan saluran tidak berubah. Saluran akan mengalami proses jepitan dan keadaan ini adalah seperti menaikkan nilai rintangan saluran. Pada keadaan ini, arus yang mengalir adalah tetap. Walau bagaimanapun, jika V_G dinaikkan, arus ketepuan akan bertambah.

Litar-litar CMOS (*Complementary Metal Oxide Semiconductor*) yang merupakan kombinasi antara nMOS (MOSFET saluran-n) dan pMOS (MOSFET saluran-p) telah mengambil alih nMOS pada akhir tahun 70-an dengan mengambil kira isu lesapan kuasa dan pemanasan berlebihan yang mesti diberi perhatian.

Menerusi penskalaan, prestasi sesebuah peranti semikonduktor boleh ditingkatkan dengan mengecilkan keseluruhan dimensi peranti tersebut. Secara amnya terdapat dua teknik penskalaan yang biasa digunakan iaitu, teknik penskalaan penuh yang juga dikenali sebagai penskalaan medan tetap (*constant field scaling*) dan teknik penskalaan voltan tetap (*constant voltage scaling*).

Pada masa ini, kadar pengecilan CMOS dijangka mencapai had saiz kira-kira 0.05 mikron pada tahun 2012. Pada ketika itulah kesan kuantum seperti penembusan elektron akan memainkan peranan dalam peranti-peranti semikonduktor yang akhirnya akan mendominasi operasi peranti berikutan dengan pengurangan saiz peranti tersebut [6].

Rekabentuk transistor PMOS 0.25 μ m menggunakan peruang-poli ini melibatkan pengubahsuaian pada rekabentuk sedia ada yang merujuk kepada rekabentuk transistor PMOS yang telah dihasilkan oleh Ng Jin Aun di dalam disertasi beliau [4]. Beberapa siri proses simulasi telah dilakukan ke atas rekabentuk tersebut dengan menggunakan perisian VWF (*Virtual Wafer Fab*) oleh Silvaco Inc. bagi mendapatkan ciri-ciri peranti yang dikehendaki.

Proses merekabentuk akan dibahagikan kepada empat varian iaitu varian 1, 2, 3 dan 4. Varian 1 dan 2 masing-masing adalah mewakili rekabentuk pMOS peruang-poli yang menggunakan teknik penyahlindungan relau konvensional dan penyahlindungan terma pantas (RTP) untuk proses resapan SOD dalam pembentukan kawasan sumber dan salir. Manakala varian 3 dan 4 pula masing-masing mewakili rekabentuk yang menggunakan teknik implantasi ion dopan untuk membentuk sumber dan salir yang juga secara penyahlindungan relau konvensional dan penyahlindungan terma pantas. Walau bagaimanapun, kajian adalah lebih tertumpu kepada

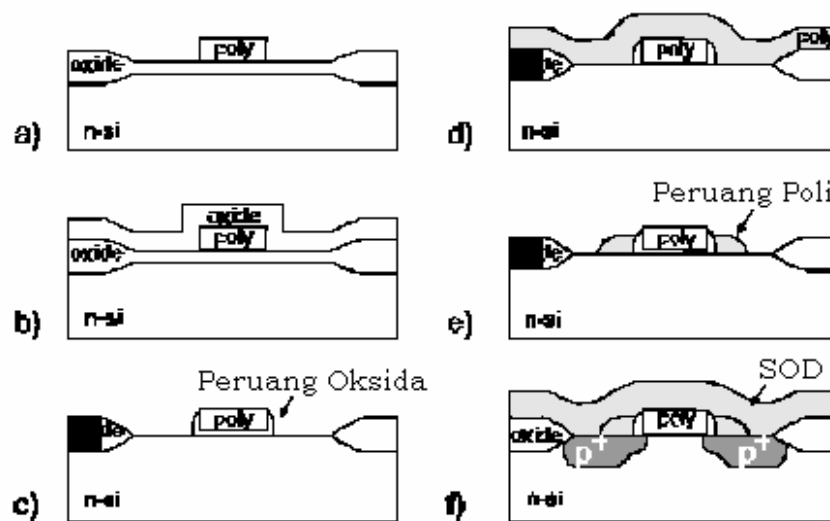
varian 1 dan varian 2, di mana ujian simulasi ke atas varian 3 dan 4 hanya dilakukan sekadar untuk melihat perbandingan struktur keratan rentas antara keempat-empat varian tersebut.

Langkah-langkah fabrikasi

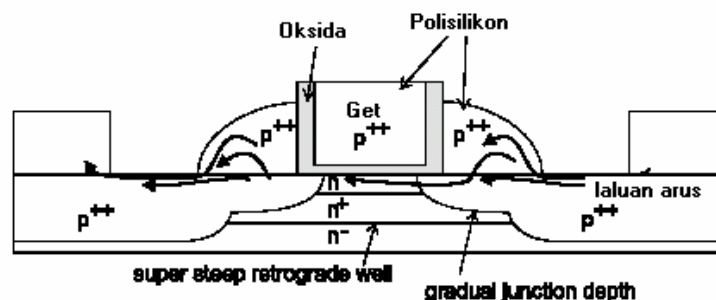
Wafer yang dipilih untuk difabrikasi ialah silikon dengan keberintangan boron $7.5 \text{ohm}/\text{cm}^2$ dan berorientasi $\langle 100 \rangle$. Pembentukan lapisan oksida setebal 300\AA dibentuk dengan proses relauan selama 60 minit di dalam oksigen kering. Telaga-n dibentuk secara implantasi ion fosforus dengan kepekatan dos sebanyak $3.75 \times 10^{12} \text{ ions}/\text{cm}^2$ dan diberikan tenaga sebanyak 100keV . Masa penyahlidapan (*annealing*) selama 30 minit pada suhu $900 \text{ }^\circ\text{C}$. Kemudian diikuti oleh pacuan dalam yang dilaksanakan secara resapan selama 350 minit pada suhu $1114 \text{ }^\circ\text{C}$ dalam persekitaran nitrogen. Implantasi dilakukan pada kecondongan 7° . Kemudian lapisan oksid dipunarkan Kemudian keseluruhan lapisan oksida dipunarkan. Lapisan oksida pad ditumbuhkan sekali lagi setebal 500\AA . Dilakukan penyahlidapan PSG dan seterusnya proses pengoksidaan setempat dilakukan (LOCOS) dengan dua kali resapan iaitu masing-masing pada suhu $950 \text{ }^\circ\text{C}$ dalam persekitaran nitrogen disusuli oleh resapan kedua pada suhu $950 \text{ }^\circ\text{C}$ selama 366 minit dengan persekitaran gas hidrogen dan oksigen..Seterusnya pembentukan get oksida setebal 60\AA dengan cara ditumbuhkan oksida pada suhu $900 \text{ }^\circ\text{C}$ selama 9.7 minit.. Pembentukan voltan ambang dilakukan secara mengimplantasikan ion boron berkepekatan $3.6 \times 10^{11} \text{ ions}/\text{cm}^2$ dengan tenaga 5 keV ke atas get berkenaan. Kemudian satu lapisan polisilikon setebal 0.4 mikron dimendapkan di atas permukaan substrat diikuti oleh ion implantasi fosforus sebanyak $2.0 \times 10^{16} \text{ ions}/\text{cm}^2$ untuk mencapai nilai keberintangan yang sesuai. Langkah seterusnya ialah pemendapan lapisan oksida secara PECVD untuk bertindak sebagai pelindung kepada permukaan substrat khususnya ketika proses punaran dilakukan. Punaran dilakukan pada kawasan yang tidak dikehendaki bagi membentuk kawasan get polisilikon . Berikutnya adalah langkah membentuk peruang oksida nipis yang berukuran $0.05 \mu\text{m}$ menggunakan teknik punaran ion reaktif (RIE) selepas lapisan oksida setebal $0.106 \mu\text{m}$ dimendapkan dan dipunar dengan ketebalan kering sebanyak $0.108 \mu\text{m}$. Seterusnya yang merupakan langkah penting yang juga tujuan projek ini yang utama iaitu membentuk peruang poli. Selepas pembentukan peruang oksida, ia diikuti pula dengan pembentukan peruang poli yang merupakan objektif utama kajian ini dilakukan bagi menguji sejauh mana keupayaan rekabentuk ini untuk memperbaiki ciri elektrik suatu peranti pMOS itu. Pembentukan peruang poli ini juga dilakukan secara RIE di mana sebelum itu lapisan polisilikon setebal $0.30 \mu\text{m}$ dimendapkan terlebih dahulu. Saiz ukuran peruang poli ini adalah kira-kira $0.25 \mu\text{m}$ berbanding dengan saiz peruang oksida yang berukuran $0.05 \mu\text{m}$. Langkah seterusnya ialah pembentukan sumber dan salir secara resapan SOD dengan menggunakan penyahlidapan relau konvensional. Lapisan oksida setebal $0.2 \mu\text{m}$ telah dimendapkan bersama-sama ion boron yang berkepekatan $8.4 \times 10^{21} \text{ atoms}/\text{cm}^3$. lapisan oksida ini akan bertindak sebagai sumber resapan ion boron yang akan membentuk simpang bagi sumber dan salir transistor ini. Seterusnya satu lapisan oksida setebal $0.25 \mu\text{m}$ dimendapkan di atas substrat secara PECVD. Ini disusuli oleh pentakrifan tingkap sentuhan untuk sumber, salir dan substrat iaitu dengan memunarkan bahagian lapisan oksida yang tidak dikehendaki. Proses penglogaman merupakan langkah terakhir dalam memfabrikasi transistor MOSFET ini, di mana satu lapisan aluminium setebal $0.5 \mu\text{m}$ telah dimendapkan yang akan berfungsi sebagai kawasan sentuhan transistor.

Secara ringkasnya aliran proses fabrikasi MOSFET peruang-poli dengan strukturnya ditunjukkan oleh Rajah 2 dan 3. Peruang oksida nipis dibentuk menggunakan proses yang

sama seperti dalam merekabentuk MOSFET-LDD (Rajah 2a-c). Dalam proses merekabentuk MOSFET peruang poli, peruang poli dibentuk pada bahagian tepi get polisilikon secara RIE (*Reactive Ion Etching*) iaitu ke atas lapisan polisilikon yang dimendapkan secara LPCVD (*Low Pressure CVD*) (Rajah 2d-e). Satu topeng tambahan digunakan untuk memisahkan peruang poli di sekeliling get. Resapan ion dopan daripada SOD atau implantasi dilakukan untuk proses pengedopan SOD dan get secara serentak (Rajah 2f). Dalam proses ini, peruang poli akan bertindak sebagai lapisan penimbal untuk proses implantasi dan/atau resapan. Oleh yang demikian, simpang cetek dan unjuran S/D dibentuk berhampiran dengan saluran, manakala simpang yang lebih dalam terbentuk pada bahagian S/D terbuka. Struktur itu kemudian sedia untuk melangkah ke proses yang selanjutnya iaitu sama ada salisida atau pun penglogaman.



Rajah 2. Aliran proses fabrikasi MOSFET peruang poli



Rajah 3. Struktur PMOS peruang-poli

Rajah 3 menunjukkan struktur PMOS peruang-poli secara terperinci. Struktur ini boleh memenuhi kehendak teknologi MOSFET sub-0.1 μ m pada masa hadapan. Di samping itu,

proses pengedopan yang dijalankan adalah kurang sebanyak satu langkah berbanding MOSFET-LDD membuatkan ia lebih mudah dihasilkan.

HASIL SIMULASI PROSES DAN PERANTI PMOS PERUANG-POLI

Simulasi transistor pMOS yang menggunakan perisian VWF keluaran Silvaco Inc. tersebut telah dibahagikan kepada empat varian. Walau bagaimanapun, kajian yang dijalankan lebih memberi tumpuan kepada varian 1 dan varian 2. Manakala simulasi ke atas varian 3 dan varian 4 dijalankan hanya untuk membuat perbandingan di antara varian-varian tersebut.

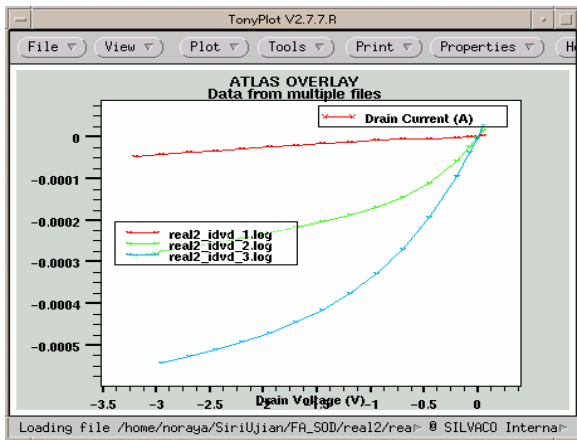
Varian 1 mewakili rekabentuk transistor pMOS yang mengandungi aliran proses menggunakan pemanasan relau konvensional untuk resapan SOD. Sementara varian 2 pula mewakili PMOS yang mengandungi aliran proses menggunakan teknik RTP untuk resapan SOD. Varian 3 dan 4 pula mewakili pMOS yang menggunakan teknik implantasi ion dopan yang diikuti oleh pemanasan relau konvensional dan teknik implantasi ion dopan diikuti pula oleh proses RTP bagi membentuk sumber dan salir masing-masing.

Rekabentuk keempat-empat varian pMOS tersebut adalah berdasarkan kepada rekabentuk pMOS 0.25 μ m oleh saudara Ng Jin Aun di dalam disertasi beliau [4]. Perubahan telah dilakukan ke atas rekabentuk tersebut di mana bahagian proses pembentukan LDD sehingga kepada pembentukan sumber dan salir secara implantasi telah digantikan dengan teknik resapan SOD samada menggunakan pemanasan relau biasa atau pun RTP, di samping terdapat penambahan peruang-poli yang dibuat pada get transistor iaitu selepas pembentukan peruang oksida.

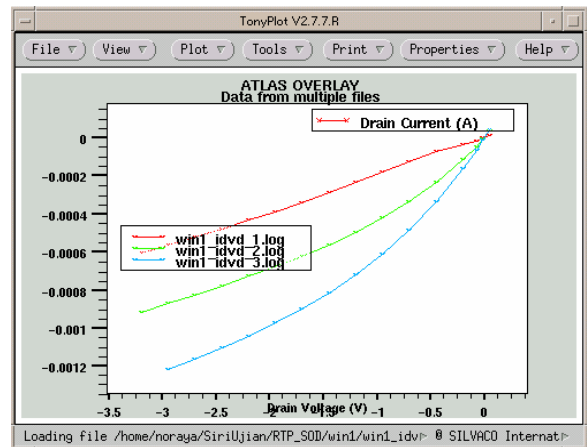
ATHENA dan TONYPLOT yang merupakan antara komponen utama dalam perisian VWF telah digunakan untuk melihat paparan dalam bentuk rajah-rajah hasil daripada simulasi yang telah dilakukan ke atas varian-varian tersebut. Perisian ini berupaya untuk memaparkan peranti yang direkabentuk secara dua dimensi, profil pengedopan pada proses-proses tertentu dan juga mengekstrak parameter-parameter yang tertentu seperti yang dikehendaki. Sementara ATLAS pula digunakan untuk menjalankan simulasi bagi menguji prestasi peranti yang telah direkabentuk di samping dapat memberikan ciri arus-voltan I_d-V_d dan I_d-V_g serta nilai voltan ambang seperti yang ditunjukkan dalam keputusan hasil simulasi. Hasil daripada simulasi-simulasi yang telah dijalankan, didapati nilai voltan ambang yang diperolehi adalah memenuhi kriteria yang dikehendaki dan memuaskan. Bagi varian 1 iaitu rekabentuk PMOS yang menggunakan relau biasa untuk resapan SOD dalam pembentukan sumber dan salir mempunyai nilai voltan ambang bersamaan dengan 0.7421109V. Manakala varian 2 yang mewakili rekabentuk PMOS menggunakan teknik RTP untuk resapan SOD pula menghasilkan nilai voltan ambang sebanyak 0.724978V. Ini adalah merujuk kepada Prof. Iwai H. di dalam buku beliau yang menyatakan bahawa transistor MOSFET yang bersaiz di antara 0.25 μ m sehingga 0.1 μ m adalah dalam lingkungan 0.4 hingga 0.6V [2].

Hubungan I_dV_d dan I_dV_g bagi varian 1 dan varian 2 dapat diperolehi daripada program simulasi yang telah dijalankan ke atas transistor pMOS yang direkabentuk seperti yang ditunjukkan dalam Rajah 4, 5, 7 dan 8 yang berikut. Manakala Rajah 6 dan 9 menunjukkan

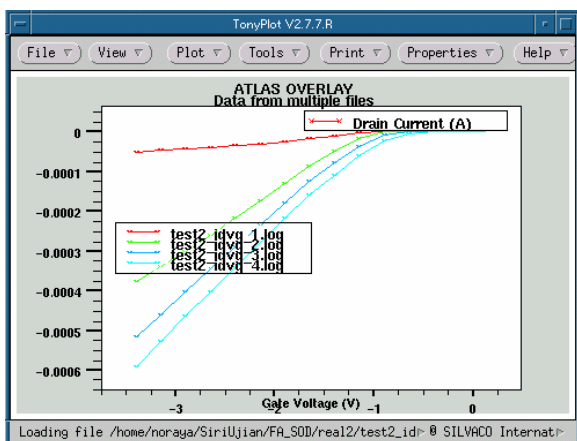
rekabentuk pMOS 0.25 μm yang telah difabrikasi menggunakan perisian VWF oleh syarikat Silvaco Inc.



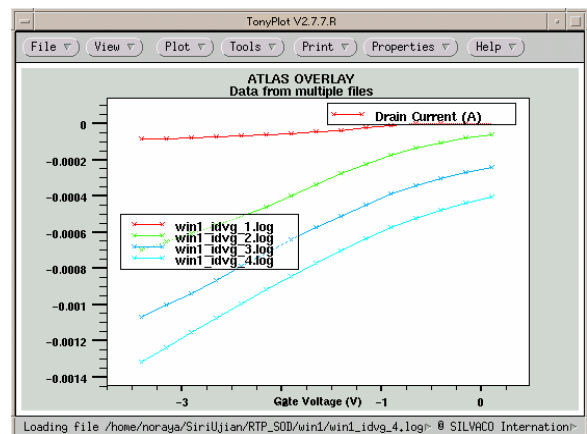
Rajah 4. Hubungan I_d - V_d pMOS varian 1



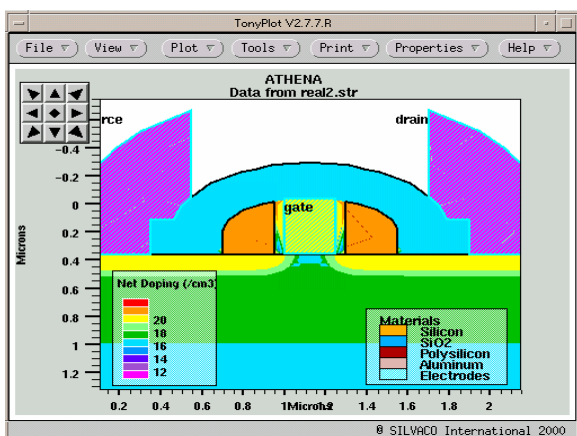
Rajah 7. Hubungan I_d - V_d pMOS varian 2



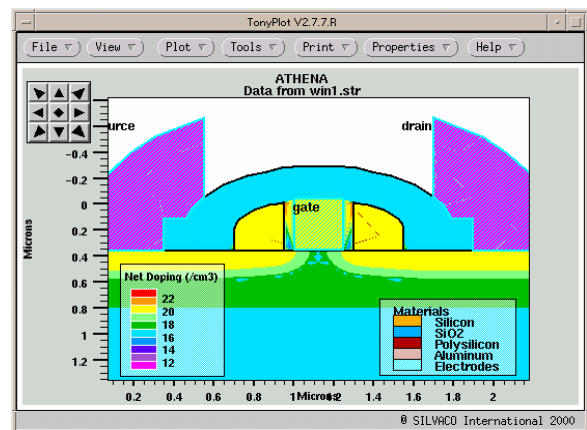
Rajah 5. Hubungan I_d - V_g pMOS varian 1



Rajah 8. Hubungan I_d - V_g pMOS varian 2



Rajah 6. Rekabentuk pMOS lengkap varian 1



Rajah 9. Rekabentuk pMOS lengkap varian 2

KESIMPULAN

Hasil simulasi yang diperolehi jelas menunjukkan bahawa rekabentuk transistor PMOS menggunakan peruang poli adalah lebih efektif berbanding rekabentuk struktur LDD dalam memperbaiki prestasi serta ciri elektrik peranti terutamanya dari segi nilai voltan ambang lebih-lebih lagi untuk rekabentuk CMOS sub-mikron yang mempunyai panjang salur $0.1\mu\text{m}$ dan ke bawah. Ini telah dibuktikan oleh nilai voltan ambang PMOS peruang poli yang diperolehi daripada simulasi adalah lebih rendah berbanding dengan nilai yang didapati daripada rekabentuk MOSFET-LDD.

RUJUKAN

- [1] Athena and Atlas user's manuals. 1997. Silvaco International USA,
- [2] Iwai, H & Ohmi S.I. 2000. "Problems and solutions for downsizing CMOS below $0.1\mu\text{m}$ " ; *Proceeding IEEE International Conference on Semiconductor Electronics 2000*, 13-15 Nov 2000, 1-19.
- [3] Masuri Othman. 1994. Analisis dan Rekabentuk Sistem VLSI. Dewan Bahasa dan Pustaka.
- [4] Ng Jin Aun. 2002. Rekabentuk Transistor Dan Simulasi Kepada Pembangunan Teknologi CMOS $0.25\mu\text{m}$. *Latihan Ilmiah Sarjana*. Universiti Kebangsaan Malaysia.
- [5] Sze, S. M. 2001. *Semiconductor Devices Physics and Technology*. New York: John Wiley & Sons.
- [6] Toan, N. N. 1999. Spin On Glass: Materials and Applications in Advanced IC Technology. *PhD Thesis*. University Twente.
- [7] Toan, N. N., Scholtens, P. C. S., Dekker, R., Aarnink, T., Holleman, J., Chien, N. D. and Woerlee, P. H. 1999. *A Proposal Poly-Spacer Structure for Sub- $0.1\mu\text{m}$ MOSFETs*. *Proceedings of the International Workshop on Materials Science (IWOMS '99)*: 1-4.